

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 62229977  
PUBLICATION DATE : 08-10-87

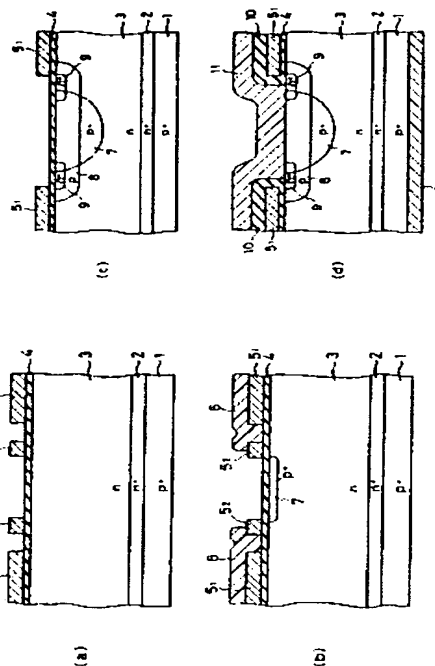
APPLICATION DATE : 31-03-86  
APPLICATION NUMBER : 61071159

APPLICANT : TOSHIBA CORP;

INVENTOR : YAMAGUCHI YOSHIHIRO;

INT.CL. : H01L 29/78 H01L 29/52 H01L 29/68

TITLE : MANUFACTURE OF  
CONDUCTION-MODULATION MOSFET



ABSTRACT : PURPOSE: To manufacture a conduction-modulation MOSFET having excellent characteristics at a high yield by a method wherein a high-impurity concentration layer, which brings a base layer into a low-resistance state and is used for preventing a latch-up, is formed at the central part of the base layer in a self-matching manner.

CONSTITUTION: Gate electrodes  $5_1$  consisting of a poly Si film are formed on the substrate of a structure; wherein an n-type high-resistance layer 3 is formed on a  $p^+$  drain layer 1 through an  $n^+$  buffer layer 2; through a gate insulating film 4. After this, masking materials 6 for covering the intervals between the gate electrodes  $5_1$  and first masking materials  $5_2$  are formed of a photo resist, for example, and boron, for example, is ion-implanted to form a  $p^+$  layer 7. After a heat treatment is performed and activation and diffusion of the impurity of the  $p^+$  layer 7 are performed, an impurity is doped using the gate electrodes  $5_1$  as masks to form a p-type base layer 8 and moreover, a mask is formed on the central part of the p-type base layer 8 and an impurity is doped using this mask and the gate electrodes  $5_1$  as masks to form  $n^+$  source layers g. Thereby, the  $p^+$  layer 7 for bringing the p-type base layer 8 into a low-resistance state can be formed at the center of the p-type base layer 8 in a self-matching manner.

COPYRIGHT: (C)1987,JPO&Japio

**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-229977

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和62年(1987)10月8日

H 01 L 29/78  
29/52  
29/68

8422-5F

8526-5F 審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 導電変調型MOSFETの製造方法

⑭ 特 願 昭61-71159

⑮ 出 願 昭61(1986)3月31日

⑯ 発 明 者	中 川	明 夫	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑯ 発 明 者	渡 辺	君 則	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑯ 発 明 者	山 口	好 広	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑰ 出 願 人	株 式 会 社 東 芝		川崎市幸区堀川町72番地	
⑱ 代 理 人	弁 理 士 鈴 江 武 彦		外 2 名	

明 細 書

1. 発明の名称

導電変調型MOSFETの製造方法

2. 特許請求の範囲

(1) 高不純物濃度の第1導電型ドレイン層上に第2導電型の高抵抗層を有する基板の高抵抗層上にゲート絶縁膜を介して多結晶シリコン膜を堆積する工程と、前記多結晶シリコン膜を選択エッチングして、多結晶シリコン・ゲート電極とこれに隣接して島状に残される多結晶シリコン膜からなる第1のマスク材を形成する工程と、前記ゲート電極と第1のマスク材の間を覆う第2のマスク材を形成する工程と、前記第1、第2のマスク材およびゲート電極をマスクとして不純物をドーピングして前記高抵抗層内に第1導電型の高不純物濃度層を形成する工程と、前記第1および第2のマスク材を順次除去し、前記ゲート電極をマスクとして不純物をドーピングして前記高抵抗層内に第1導電型ベース層およびこのベース層内に位置する第2導電型ソース層を形成する工程とを備えたことを

特徴とする導電変調型MOSFETの製造方法。

(2) 前記第2導電型ベース層用の不純物ドーピングを前記第2のマスク材形成前に行うようにした特許請求の範囲第1項記載の導電変調型MOSFETの製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、導電変調型MOSFETの製造方法に関する。

(従来の技術)

従来の一般的な導電変調型MOSFETの構造を第3図に示す。21はp<sup>+</sup>型ドレイン層、22はn<sup>+</sup>型バッファ層、23はn型高抵抗層である。高抵抗層23表面にゲート絶縁膜24を介してゲート電極25が形成され、このゲート電極25に自己整合されてp型ベース層26およびn<sup>+</sup>型ソース層27が形成されている。p型ベース層26表面のn<sup>+</sup>型ソース層27とn型高抵抗層23に挟まれた領域がチャンネル領域となっている

特開昭62-229977 (2)

る。p型ベース層26の中央部にはその低抵抗化のためにp<sup>+</sup>型層28が深く拡散形成されている。ゲート電極25および拡散層が形成された基板上はCVD絶縁膜29により覆われ、これにコンタクト孔が開けられてn<sup>+</sup>型ソース層27およびp型ベース層26に同時にコンタクトするソース電極30が形成されている。基板裏面のドレイン層21にはドレイン電極31が形成されている。

このような導電変調型MOSFETにおける大きい問題は、n<sup>+</sup>型ソース層27-p型ベース層26-n型高抵抗層23-p<sup>+</sup>型ドレイン層21で構成される寄生サイリスタがラッチアップすることである。寄生サイリスタを構成するnエミッタおよびpベースとなるn<sup>+</sup>型ソース層27およびp型ベース層26はソース電極30により短絡されているが、ドレイン層21から流れて来る正孔電流がp型ベース層26に入り込みソース電極27に抜ける時、p型ベース層26内で電圧降下が生じ、この電圧降下でn<sup>+</sup>型ソース層27とp型ベース層26間が順バイアスされるとラッチア

ップを生じる。この状態ではゲート電圧を零にしても素子をターンオフできなくなる。このような寄生サイリスタのラッチアップを防止するために、p型ベース層26中央部に深くp<sup>+</sup>型層28を形成して、p型ベース層26の抵抗を小さくしているのである。

ところで従来、ラッチアップ防止用のp<sup>+</sup>型層28は、マスク合わせによりp型ベース層26の中央部に位置するように形成されているが、これを完全にp型ベース層26の中央に形成することは難しかった。そしてp<sup>+</sup>型層28がp型ベース層26の中央からずれて形成されると、p<sup>+</sup>型層28を形成したことの意味がなくなるだけでなく、新たな問題が生じる。

第4図は、p<sup>+</sup>型層28がp型ベース層26の中央部からずれて形成された様子を示している。この状態では、図の右側のn<sup>+</sup>型ソース層27下のp型ベース層26の抵抗が低下せず、p<sup>+</sup>型層28を入れた効果が出ない。また図の左側のn<sup>+</sup>型ソース層27について見ると、p<sup>+</sup>型層28が

このソース層27を越えて形成された場合、チャネル領域の不純物濃度が上昇する結果、MOSFETのしきい値電圧が上がってしまう。

(発明が解決しようとする問題点)

以上のように従来の導電変調型MOSFETでは、ラッチアップ防止用のp<sup>+</sup>型層をマスク合わせで形成しているために、位置あわせが難しく、僅かのマスク合わせずれにより所望の素子特性が得られなくなり、歩留りが低いものとなる欠点があった。

本発明はこの様な従来の問題を解決して、優れた素子特性を歩留りよく得ることを可能とした導電変調型MOSFETの製造方法を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明は、第1導電型ドレイン層上に第2導電型の高抵抗層を有する基板上にゲート絶縁膜を介して多結晶シリコン膜によりゲート電極を形成する際に、同じ多結晶シリコン膜によりゲート電

極に隣接して第1のマスク材を形成し、この第2のマスク材とゲート電極の間を第2のマスク材で覆って、これら第1、第2のマスク材およびゲート電極をマスクとして用いて不純物をドーピングして第1導電型ベース層の低抵抗化のための第1導電型の高不純物濃度層を形成する。この後第2のマスク材続いて第1のマスク材を除去して、従来と同様にゲート電極をマスクとして用いて不純物をドーピングして第1導電型ベース層および第2導電型ソース層を形成する。なお第1導電型ベース層形成のための不純物ドーピングは、ゲート電極と第1のマスク材を形成した後、第2のマスク材を形成する前に行ってもよい。

(作用)

本発明の方法を用いれば、ベース層の低抵抗化のための高不純物濃度層は、ゲート電極と同時にパターン形成される第1のマスク材により端部が定義されて、ベース層中央部にセルフアラインされて形成される。従って、優れた特性の導電変調型MOSFETを歩留りよく得ることができる。

## (実施例)

以下、本発明の実施例を説明する。

第1図(a)～(d)は一実施例の製造工程断面図である。(a)に示すように、 $p^+$ 型ドレイン層1上に $n^+$ 型バッファ層2を介して $n$ 型高抵抗層3が形成された基板に、ゲート絶縁膜4を介して多結晶シリコン膜によりゲート電極5<sub>1</sub>を形成する。このときゲート電極5<sub>1</sub>と同じ多結晶シリコン膜により、ゲート電極5<sub>1</sub>から所定距離離れた島状の第1のマスク材5<sub>2</sub>を形成する。図では、平面パターンは特定されていないが、ソース領域をストライプ状のものとする場合は、この第1のマスク材5<sub>2</sub>はゲート電極5<sub>1</sub>と並行して走るストライプ状のパターンになり、またソース領域を島状のものとする場合は第1のマスク材5<sub>2</sub>はゲート電極5<sub>1</sub>で囲まれた領域内に閉路をなして形成されることになる。これらゲート電極5<sub>1</sub>および第1のマスク材5<sub>2</sub>は同じPEP工程でパターン形成されるから、その相対位置関係はPEPのマスク合わせずれの影響がなく、一定に

保たれる。この後(b)に示すように、ゲート電極5<sub>1</sub>と第1のマスク材5<sub>2</sub>の間を覆う第2のマスク材を例えばフォトレジストにより形成し、例えばボロンをイオン注入して $p^+$ 型層7を形成する。このときイオンはゲート絶縁膜4のみの部分は通過するが、第1、第2のマスク材5<sub>2</sub>、6およびゲート電極5<sub>1</sub>のある部分は通過できない。こうしてゲート電極5<sub>1</sub>のエッジから所定距離離れた領域にイオン注入が行なわれる。この後第2のマスク材6を除去し、改めてゲート電極5<sub>1</sub>を覆うレジストを形成して第1のマスク材5<sub>2</sub>をエッチング除去し、熱処理を行って $p^+$ 型層7の不純物の活性化と拡散を行う。そして(c)に示すように、従来と同様の二重拡散法により $p$ 型ベース層8および $n^+$ 型ソース層9を形成する。即ち先ず、ゲート電極5<sub>1</sub>をマスクとして不純物をドーピングして $p$ 型ベース層8を形成し、更に $p$ 型ベース層8中央部にマスクを形成してこのマスクとゲート電極5<sub>1</sub>をマスクとして不純物をドーピングして $n^+$ 型ソース層9を形成する。この後(d)に示

すように、全面をCVD絶縁膜10で覆い、コンタクト孔を開けてA<sub>2</sub>膜を蒸着し、 $n^+$ 型ソース層9と $p$ 型ベース層8と同時にコンタクトするソース電極11を形成する。ドレイン層1側には、V-Ni-Auの3層金属の蒸着によりドレイン電極12を形成する。

こうしてこの実施例によれば、 $p$ 型ベース層8の低抵抗化のための $p^+$ 型層7を、自己整合的に $p$ 型ベース層8の中央に形成することができる。従って得られた素子特性を歩留りよく得ることができる。実際にこの $p^+$ 型層7を、チャネル領域に達しない程度に幅広く拡散形成することによって、この導電変調型MOSFETの最大ターンオフ電流を従来のものに比べて約40%増大させることができた。

第2図(a)～(d)は他の実施例の製造工程断面図である。先の実施例と対応する部分には同一符号を付して詳細な説明は省略する。この実施例では、 $p$ 型ベース層と $p^+$ 型層のイオン注入工程を逆にしている。即ち先ず(a)に示すように、

多結晶シリコン膜によりゲート電極5<sub>1</sub>と第1のマスク材5<sub>2</sub>を形成する。13はこのゲート電極5<sub>1</sub>および第1のマスク材5<sub>2</sub>をパターン形成するために用いたフォトレジストを示している。この実施例ではこの状態でボロンのイオン注入を行い、 $p$ 型ベース層用の $p^+$ 型層8<sub>1</sub>～8<sub>3</sub>を形成する。この後フォトレジスト13を除去し、先の実施例と同様に(b)に示すようにゲート電極5<sub>1</sub>と第1のマスク材5<sub>2</sub>の間を覆う第2のマスク材をフォトレジスト等により形成し、ボロンを高濃度でイオン注入して $p^+$ 型層7を形成する。そして第2のマスク材6続いて第1のマスク材5<sub>2</sub>を除去し、熱処理して不純物活性化と拡散を行うことにより、(c)に示すように $p$ 型ベース層8とその中央部に位置する $p^+$ 型層7を形成する。そして(d)に示すように、 $p$ 型ベース層8内に自己整合的に $n^+$ 型ソース層9を形成し、CVD絶縁膜10で覆ってこれにコンタクト孔を開けてソース電極11を形成し、裏面にはドレイン電極12を形成して、導電変調型MOSFETを完成

特開昭62-229977 (4)

する。

この実施例によっても、先の実施例と同様に  $p^+$  型層 7 は  $p$  型ベース層 8 中央に自己整合的に形成され、従って先の実施例と同様の効果が得られる。

なお本発明は上記実施例に限られるものではなく、その趣旨を逸脱しない範囲で種々変形して実施することができる。

〔発明の効果〕

以上述べたように本発明によれば、ベース層を低抵抗化してラッチアップを防止するための高不純物濃度層をベース層の中央部に自己整合的に形成することができ、優れた特性の導電変調型 MOSFET を歩留りよく製造することができる。

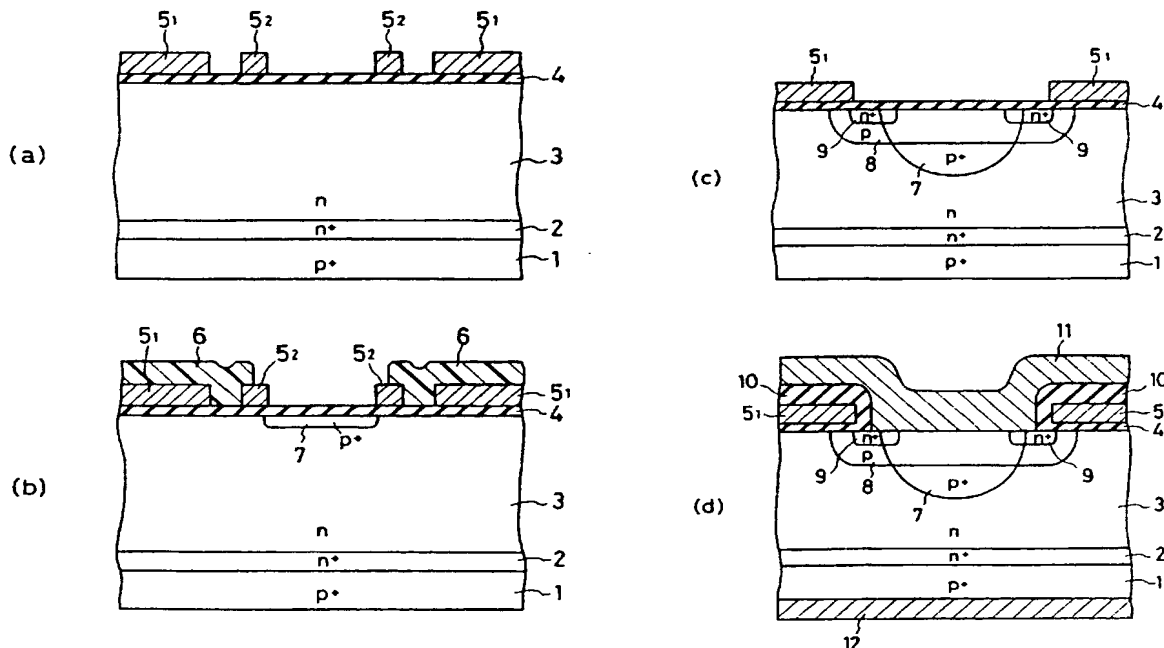
4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例の導電変調型 MOSFET の製造工程を示す断面図、第2図(a)～(d)は他の実施例の製造工程を示す断面図、第3図は一般的な導電変調型 MOSFET の構造を示す断面図、第4図は従来

法の問題を説明するための断面図である。

1… $p^+$ 型ドレイン層、2… $n^+$ 型バッファ層、3… $n$ 型高低抗層、4…ゲート絶縁膜、5…ゲート電極(多結晶シリコン膜)、5<sub>2</sub>…第1のマスク材(多結晶シリコン膜)、6…第2のマスク材、7… $p^+$ 型層、8… $p$ 型ベース層、9… $n^+$ 型ソース層、10…CVD絶縁膜、11…ソース電極、12…ドレイン電極。

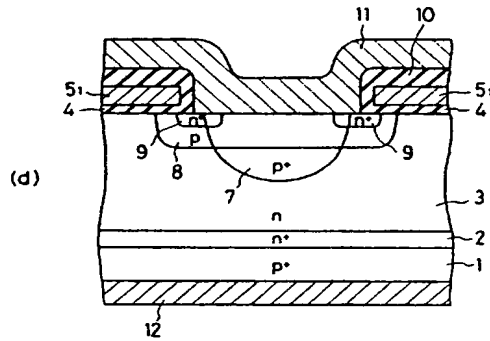
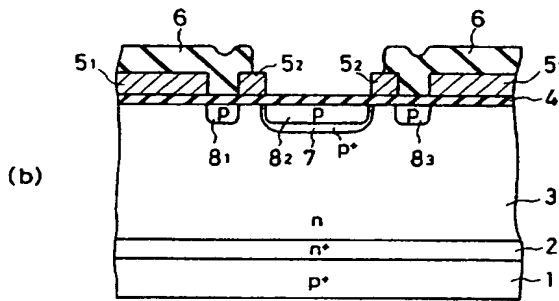
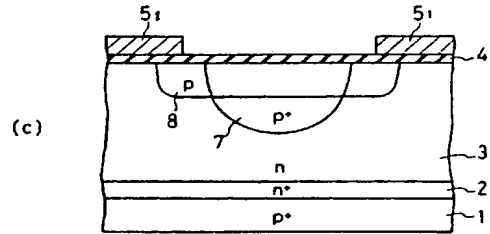
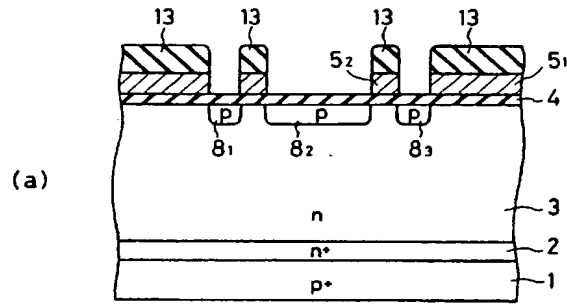
出願人代理人 弁理士 鈴江武彦



第 1 図

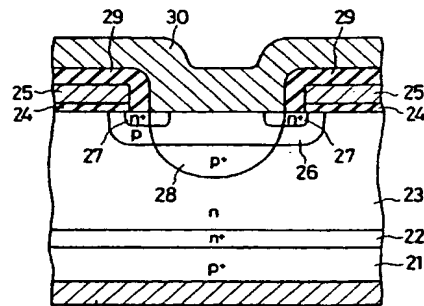
第 1 図

BEST AVAILABLE COPY

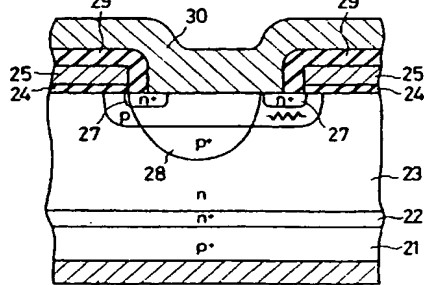


第 2 図

第 2 図



第 3 図



第 4 図



**THIS PAGE BLANK (USPTO)**